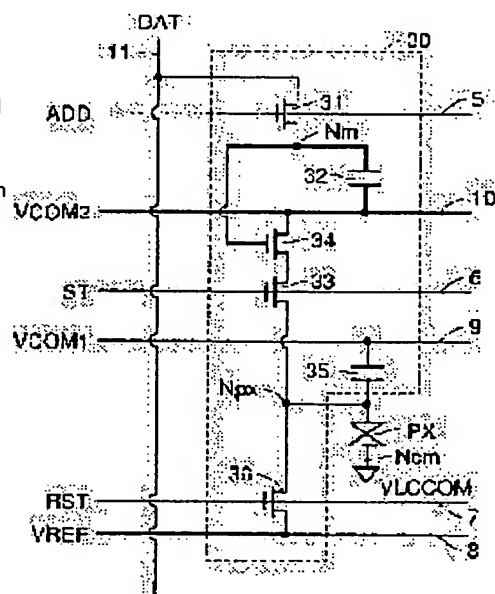


(11)Publication number : 2002-366117
(43)Date of publication of application : 20.12.2002

(21)Application number : 2001-172326 (71)Applicant : MITSUBISHI ELECTRIC CORP
(22)Date of filing : 07.06.2001 (72)Inventor : MURAI HIROYUKI
TOKIOKA HIDETADA

PROBLEM TO BE SOLVED: To provide a liquid crystal display device which can be driven with low power consumption without spoiling the display quality.

SOLUTION: The liquid crystal driving circuit 30 includes an n type TFT 31 for inputting a digital signal DAT from a data line 11 to a data holding node Nm in response to the activation of a scanning line 5, an n type TFT 36 which connects a 1st driving potential supply line 8 and a pixel electrode Npx to each other in response to the activation of a reset line 7, and n type TFTs 33 and 34 which are connected in series between a 2nd driving potential supply line 10 and the pixel electrode Npx. The n type TFT 33 turns on in response to the activation of a set line 6. The n type TFT 34 turns on or off according to the potential of the data holding node Nm. The activation period of the reset line 7 is set earlier than the activation period of the set line 6.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2003/09/04

(書誌+要約+請求の範囲)

(19)【発行国】日本国特許庁(JP)

(12)【公報種別】公開特許公報(A)

(11)【公開番号】特開2002-366117(P2002-366117A)

(43)【公開日】平成14年12月20日(2002.12.20)

(54)【発明の名称】液晶表示装置ならびにそれを備える携帯電話機および携帯情報端末機器

(51)【国際特許分類第7版】

G09G 3/36

G02F 1/133 550

G09G 3/20 611

621

624

641

680

H04Q 7/38

【FI】

G09G 3/36

G02F 1/133 550

G09G 3/20 611 A

621 M

624 B

641 E

680 S

680 T

H04B 7/26 109 T

【審査請求】未請求

【請求項の数】17

【出願形態】OL

【全頁数】23

(21)【出願番号】特願2001-172326(P2001-172326)

(22)【出願日】平成13年6月7日(2001.6.7)

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目２番３号

(72)【発明者】

【氏名】村井 博之

【住所又は居所】東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

(72)【発明者】

【氏名】時岡 秀忠

【住所又は居所】東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内

(74)【代理人】

【識別番号】１０００６４７４６

【弁理士】

【氏名又は名称】深見 久郎（外４名）

【テーマコード（参考）】

2H093

5C006

5C080

5K067

【Ｆターム（参考）】

2H093 NC16 NC22 NC34 NC50 ND04 ND06 ND10 ND12 ND39

5C006 AA14 AC21 BB16 BC06 FA47

5C080 AA10 BB05 DD26 EE28 FF11 JJ02 JJ03 JJ04 KK07 KK47

5K067 AA43 BB04 FF23 FF31

(57)【要約】

【課題】 表示品位を損なうことなく、低消費電力で駆動可能な液晶表示装置を提供する。

【解決手段】 液晶駆動回路 ３０は、走査線５の活性化に応答してデータ線１１から画像データ信号 D A Tをデータ保持 ノードN mに取込むためのn型T F T ３１と、リセット線７の活性化に応答して、第１の駆動電位供給線８と画素電極N p xとを接続するn型T F T ３６と、第２の駆動電位供給線１０と画素電極N p xとの間に直列に接続されるn型T F T ３３および３４とを含む。n型T F T ３３は、セット線６の活性化に応答してオンする。n型T F T ３４は、データ保持 ノードN mの電位に応じてオンまたはオフする。リセット線７の活性化期間は、セット線６の活性化期間より早く設定される。

【特許請求の範囲】

【請求項 1】 マトリクス状に配置される複数の画素を有する液晶表示部を備え、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記最大輝度および最小輝度の一方に相当する第 1 の液晶駆動電位を伝達するための第 1 の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第 2 の液晶駆動電位を伝達するための第 2 の駆動電位供給線と、前記複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複数の第 1 の制御線、および複数の第 2 の制御線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像 データ信号 に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路 とをさらに備え、各前記液晶駆動回路 は、対応する前記走査線の活性化にตอบสนองして、対応する前記データ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、前記データ保持 ノードの電位を保持 するためのメモリ部と、対応する前記第 1 の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第 1 の制御線の活性化にตอบสนองしてオンする第 1 の駆動スイッチと、対応する前記第 2 の電位供給線と対応する前記画素電極との間に電氣的に結合され、対応する前記第 2 の制御線の活性化にตอบสนองしてオンする第 2 の駆動スイッチと、前記第 1 および第 2 の電位供給線の一方と前記画素電極との間に、前記第 1 および第 2 の駆動スイッチの一方と直列に接続され、前記データ保持 ノードの電位に応じてオン・オフする第 3 の駆動スイッチとを含む、液晶表示装置。

【請求項 2】 画像 書込時において、前記第 1 および第 2 の駆動スイッチの前記一方は、前記第 1 および第 2 の駆動スイッチの他方が所定期間オンした後にオンするように、前記第 1 および第 2 の制御線の活性化期間は設定される、請求項 1 記載の液晶表示装置。

【請求項 3】 前記第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、前記第 1 および前記第 2 の電位の切換周期は、1 行あたりの水平走査周期に相当する、請求項 1 記載の液晶表示装置。

【請求項 4】 第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、前記第 1 の電位供給線は、前記第 1 および前記第 2 の電位を互いに相補に供給するための、複数の第 1 および第 2 の駆動電位補助供給線を含み、前記複数の第 1 および第 2 の駆動電位補助供給線は、奇数行および偶数行にそれぞれ対応して配置され、前記第 1 および前記第 2 の電位の切換周期は、表示フレーム周期に相当する、請求項 1 記載の液晶表示装置。

【請求項 5】 前記対向電極の電位は、前記第 1 の電位の書込み後における前記画素電極の電位と、前記第 2 の電位の書込み後における前記画素電極の電位との平均値に相当する、請求項 1 記載の液晶表示装置。

【請求項 6】 前記第 2 の液晶駆動電位は、前記第 2 の液晶駆動電位の書込み後における前記画素電極の電位が、前記対向電極の電位に相当するように、前記第 1 および第 2 の電位の平均値とは異なるレベルに設定される、請求項 5 記載の液晶表示装置。

【請求項 7】 前記メモリ部は、前記データ保持 ノードと前記第 2 の液晶駆動電位との間に接続されるキャパシタを有する、請求項 5 記載の液晶表示装置。

【請求項 8】 前記第 1 の液晶駆動電位は、前記第 1 の駆動電位供給線の両端から供給され、前記第 2 の液晶駆動電位は、前記第 2 の駆動電位供給線の両端から供給される、請求項 1 記載の液晶表示装置。

【請求項 9】 前記画素は、並列に配置される L 個 (L : 2 以上の整数) の副画素に分割され、前記画素電極は、前記最大輝度の表示時におけるそれぞれの表示輝度が、 $2^0 : \dots : 2^{(L-1)}$ となるように分割され、前記行の各々において、前記複数の走査線は、前記副画素にそれぞれ対応して L 本ずつ設けられるとともに、前記第 1 および第 2 の制御線は、前記副画素に共通して設けられ、各前記画素において、前記液晶駆動回路 は、前記副画素の各々ごとに独立に設けられる、請求項 1 記載の液晶表示装置。

【請求項 10】 前記行の各々に対応して設けられる、補助走査線をさらに備え、各前記液晶駆動回路 は、対応する前記データ線と前記データ保持 ノードとの間に、前記メモリスイッチと直列に接続され、対応する前記補助走査線の活性化に応答してオンする第 1 のリーク防止スイッチをさらに含む、請求項 9 記載の液晶表示装置。

【請求項 11】 前記補助走査線の活性化期間は、前記 L 個の副画素にそれぞれ対応する L 本の走査線の活性化期間の全てを含むように設定される、請求項 10 記載の液晶表示装置。

【請求項 12】 前記行の各々において、L 本の前記複数の走査線のうちの少なくとも 2 つは同時に活性化され、各前記液晶駆動回路 は、前記対応する前記データ線と前記データ保持 ノードとの間に、前記メモリスイッチと直列に接続され、対応する前記走査線と同時に活性化される、同一の前記行に対応する他の走査線の活性化に応答してオンする第 2 のリーク防止スイッチをさらに含む、請求項 10 記載の液晶表示装置。

【請求項 13】 前記第 1 および第 2 の制御線は、他の前記行に対応する L 本の走査線のうちの、活性化期間が重なり合わない 2 本の走査線を用いて構成される、請求項 12 記載の液晶表示装置。

【請求項 14】 前記第 2 のリーク防止トランジスタおよび前記メモリスイッチは、複数個ずつ設けられる、請求項 12 または 13 記載の液晶表示装置。

【請求項 15】 前記第 1 および第 2 の駆動スイッチは、複数個ずつ配置される、請求項 1 または 9 に記載の液晶表示装置。

【請求項 16】 画面表示機能を備える携帯電話機であって、画面表示を実行するための液晶表示装置を備え、前記液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記液晶表示装置は、前記最大輝度および最小輝度の一方に相当する第 1 の液晶駆動電位を伝達するための第 1 の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第 2 の液晶駆動電位を伝達するための第 2 の駆動電位供給線と、前記複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複

数の第1の制御線、および複数の第2の制御線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像データ信号を伝達するための複数のデータ線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像データ信号に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路とをさらに含み、各前記液晶駆動回路は、前記走査線の活性化にตอบสนองして、対応する前記データ線とデータ保持ノードとの間を電気的に結合するためのメモリスイッチと、前記データ保持ノードの電位を保持するためのメモリ部と、対応する前記第1の電位供給線と対応する前記画素電極との間に電気的に結合され、対応する前記第1の制御線の活性化にตอบสนองしてオンする第1の駆動スイッチと、対応する前記第2の電位供給線と対応する前記画素電極との間に電気的に結合され、対応する前記第2の制御線の活性化にตอบสนองしてオンする第2の駆動スイッチと、前記第1および第2の電位供給線的一方と前記画素電極との間に、前記第1および第2の駆動スイッチの一方と直列に接続され、前記データ保持ノードの電位に応じてオン・オフする第3の駆動スイッチとを有する、携帯電話機。

【請求項17】 画面表示機能を備える携帯情報端末機器であって、画面表示を実行するための液晶表示装置を備え、前記液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、前記複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、前記液晶表示装置は、前記最大輝度および最小輝度的一方に相当する第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、前記最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、前記複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複数の第1の制御線、および複数の第2の制御線と、前記複数の画素の列にそれぞれ対応して設けられ、各々が画像データ信号を伝達するための複数のデータ線と、前記複数の画素にそれぞれ対応して設けられ、各々が前記画像データ信号に応じて、対応する前記画素電極を駆動するための複数の液晶駆動回路とをさらに含み、各前記液晶駆動回路は、前記走査線の活性化にตอบสนองして、対応する前記データ線とデータ保持ノードとの間を電気的に結合するためのメモリスイッチと、前記データ保持ノードの電位を保持するためのメモリ部と、対応する前記第1の電位供給線と対応する前記画素電極との間に電気的に結合され、対応する前記第1の制御線の活性化にตอบสนองしてオンする第1の駆動スイッチと、対応する前記第2の電位供給線と対応する前記画素電極との間に電気的に結合され、対応する前記第2の制御線の活性化にตอบสนองしてオンする第2の駆動スイッチと、前記第1および第2の電位供給線的一方と前記画素電極との間に、前記第1および第2の駆動スイッチの一方と直列に接続され、前記データ保持ノードの電位に応じてオン・オフする第3の駆動スイッチとを有する、携帯情報端末機器。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示品位の劣化を招くことなく低消費電力駆動が可能な液晶表示装置ならびにそれを備える携帯電話機および携帯情報端末機器に関する。

【0002】

【従来の技術】パーソナルコンピュータ、テレビジョン受像機、携帯電話機および携帯情報端末機器などのディスプレイパネルとして、液晶表示装置が用いられるようになってきている。液晶表示装置は、従来のディスプレイ装置と比較して、低消費電力化や小型軽量化の面でメリットが大きい。

【0003】図21は、従来の液晶表示装置1000の全体構成を説明する概略ブロック図である。

【0004】図21を参照して、従来の液晶表示装置1000は、行列状に配置された複数の画素1001を有する液晶表示部1002を備える。カラー液晶表示装置においては、R（赤）、G（緑）およびB（青）の3原色のそれぞれを表示するためのR画素、G画素およびB画素から1つの表示単位が構成される。したがって、液晶表示部1002全体で見れば、複数の表示単位が行列状に配置されていることになる。

【0005】液晶表示装置1000は、さらに、行ドライバ回路1003を備える。行ドライバ回路1003は、液晶表示部1002において、1つの画素行（ライン）を選択するための回路であり、シフトレジスタ回路1004およびバッファ回路1005を含む。

【0006】液晶表示装置1000は、さらに、列ドライバ回路1006を備える。列ドライバ回路1006は、シフトレジスタ回路1007と、バッファ回路1008と、スイッチ1009とを有する。列ドライバ回路1006は、液晶表示部の1つの列に画像を表示するための信号を供給する。

【0007】液晶表示部1002において、画素の各ラインごとに走査線1010が配置され、画素の各列ごとにデータ線1011が配置される。さらに、共通電位Vcomを供給するための共通電位供給線1012が、たとえば画素の各ラインごとに配置される。

【0008】液晶表示部1002における表示画素を示すための画像データ信号は、画像信号線1013によって伝達される。

【0009】図22は、各画素1001の構成を説明する回路図である。図22を参照して、各画素に対応して、TFT（Thin Film Transistor）1101と、液晶表示素子1102と、コンデンサ1103とが配置される。

【0010】TFT1101は、走査線1010と結合されるゲートを有し、データ線1011と液晶表示素子1102との間に電氣的に結合される。液晶表示素子1102は、TFT1101と結合される画素電極と、対向電極電位VLC COMが印加される対向電極とを有している。コンデンサ1103は、画素電極と共通電位供給線1012との間に

接続される。

【0011】再び図21を参照して、行ドライバ回路1003は、所定の垂直走査周期に基づいて、走査線1010を1本ずつ順に活性化することによって、ライン走査を実行する。

【0012】列ドライバ回路1006は、スイッチ1009のオン・オフを制御することにより、画像信号線1013に伝達される画素データ信号を、水平走査の対象となる画素列に対応するデータ線1011に供給する。

【0013】いわゆる点順次駆動の場合には、垂直走査の対象となる1つのラインに属する各画素は、列ドライバ回路1006によって順次選択されて、データ線1011を介して順次画像データ信号の供給を受ける。

【0014】垂直走査の対象となったラインにおいては、対応する走査線1010がHレベルに活性化されることによって、TFT1101がオンする。これにより、列ドライバ回路1006によってデータ線1011に供給された画像データ信号は、液晶表示素子1102の画素電極に書込まれる。

【0015】液晶表示素子1102においては、画素電極と対向電極との間の電位差に応じて液晶の配向性が変化することにより、液晶表示素子の輝度（反射率）が変化する。したがって、画像データ信号に応じた輝度（反射率）を液晶表示素子1102に表示することができる。

【0016】1つのラインに属するすべての画素に対して水平走査が行なわれた後に、行ドライバ回路1003によって、これまで選択されていた走査線はLレベルに非活性化されて、次の走査線が活性化される。これに応じて、TFT1101はオフされるが、TFT1101のオフ期間においても、コンデンサ1103が画素電極の電位を保持する。

【0017】同様の水平走査が、次のラインに対しても順次実行され、すべてのラインが走査（これを1フレームとも称する）された後に、再び先頭の走査線が活性化される。このように、すべての画素に対して、1フレームごとに画素データ信号を液晶表示素子の画素電極に書込むことによって、画像表示が実行される。

【0018】

【発明が解決しようとする課題】液晶表示装置は以上のように構成されるので、1つの液晶表示素子、すなわち画素に画像データ信号が書込まれ、再び書込が実施されるまでの間、すなわち1フレーム周期において、液晶表示素子およびコンデンサの静電容量によって、画素電極の電位を維持する必要がある。しかしながら、液晶表示素子の両極板間に存在する有限の抵抗率や、TFTのリーク等によって画素電極の電位が低下して、表示輝度の変動によってフリッカが視認される等の表示品位の低下が生じてしまう。

【0019】図23は、画素電極の電位変動による表示品位の低下を説明するための概念図である。

【0020】図23（a）には、通常の60Hzのフレーム周波数で、液晶表示素子に同

一輝度を表示する場合における液晶表示素子の反射率の推移を示している。

【0021】各液晶表示装置は、フレーム周期である1/60秒に1度、同一電位の書込動作が実行されるため、画素電極電位の低下も僅かなものである。したがって、各画素の反射率（輝度）は大きく変化せず、フリッカやコントラスト低下といった表示品位の低下は見られない。

【0022】ところで、液晶表示装置の消費電力は、フレーム周波数×垂直走査線（図21における走査線1010）数の周波数で動作する行ドライバ回路1003、およびフレーム周波数×垂直走査線×水平走査線（図21におけるデータ線1011）数の周波数で動作する列ドライバ回路1006において、高速で動作するシフトレジスタ回路1004、1007の電力が大部分を占める。したがって、液晶表示装置の低消費電力化を図るには、動作周波数の低減、あるいは行ドライバ回路および列ドライバ回路の間欠的な動作を実行させることが有効である。

【0023】図23（b）には、消費電力を低減するために、行ドライバ回路および列ドライバ回路の動作周波数を低下させて液晶表示素子に同一輝度を表示する場合における液晶表示素子の反射率の推移を示している。

【0024】図23（b）を参照して、フレーム周期が長くなると、各画素において液晶表示素子に対する書込動作の実行間隔が長くなり、その間に画素電極で生じる電位低下は大きくなってしまう。

【0025】したがって、画素電極の電位が大きく変化するために、各画素における反射率（輝度）が大きく変化して、フリッカとして観測される。また、フレーム期間における平均電位も低下するために、十分なコントラストが得られないなど、表示品位が低下するという問題点が生じてしまう。

【0026】この発明は、このような問題点を解決するためになされたものであって、表示品位を損なうことなく、低消費電力で駆動可能な液晶表示装置ならびにこれを備える携帯電話機および携帯情報端末機器を提供することである。

【0027】

【課題を解決するための手段】請求項1記載の液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を備え、複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有し、最大輝度および最小輝度の一方に相当する第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複数の第1の制御線、および複数の第2の制御線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像データ信号を伝達するための複数のデータ線と、複数の画素にそれぞれ対応して設けられ、各々が画像データ信号に応じて、対応する画素電極を駆動するための複数の液晶駆動回路とをさらに備える。各液晶駆動回路は、対応する走査線の活性化にตอบสนองして、対応す

るデータ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、対応する第 1 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 1 の制御線の活性化に応答してオンする第 1 の駆動スイッチと、対応する第 2 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 2 の制御線の活性化に応答してオンする第 2 の駆動スイッチと、第 1 および第 2 の電位供給線の一方と画素電極との間に、第 1 および第 2 の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第 3 の駆動スイッチを含む。

【0028】請求項 2 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、画像 書込時において、第 1 および第 2 の駆動スイッチの一方は、第 1 および第 2 の駆動スイッチの他方が所定期間オンした後にオンするように、第 1 および第 2 の制御線の活性化期間は設定される。

【0029】請求項 3 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、第 1 および第 2 の電位の切換周期は、1 行あたりの水平走査周期に相当する。

【0030】請求項 4 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、第 1 の液晶駆動電位は、第 1 の電位と第 2 の電位とを周期的に繰り返し、第 1 の電位供給線は、第 1 および第 2 の電位を互いに相補に供給するための、複数の第 1 および第 2 の駆動電位補助供給線を含む。複数の第 1 および第 2 の駆動電位補助供給線は、奇数行および偶数行にそれぞれ対応して配置され、第 1 および第 2 の電位の切換周期は、表示フレーム周期に相当する。

【0031】請求項 5 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、対向電極の電位は、第 1 の電位の書込み後における画素電極の電位と、第 2 の電位の書込み後における画素電極の電位との平均値に相当する。

【0032】請求項 6 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、第 2 の液晶駆動電位は、第 2 の液晶駆動電位の書込み後における画素電極の電位が、対向電極の電位に相当するように、第 1 および第 2 の電位の平均値とは異なるレベルに設定される。

【0033】請求項 7 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、メモリ部は、データ保持 ノードと第 2 の液晶駆動電位との間に接続されるキャパシタを有する。

【0034】請求項 8 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、第 1 の液晶駆動電位は、第 1 の駆動電位供給線の両端から供給され、第 2 の液晶駆動電位は、第 2 の駆動電位供給線の両端から供給される。

【0035】請求項 9 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、画素は、並列に配置される L 個 (L : 2 以上の整数) の副画素に分割され、画素電極は、副

画素に対応して、それぞれの表示輝度が、 $2^0:2^1:2^{(n-1)}$ となるように分割され、行の各々において、複数の走査線は、副画素にそれぞれ対応して1本ずつ設けられるとともに、第1および第2の制御線は、副画素に共通して設けられ、各画素において、液晶駆動回路は、副画素の各々ごとに独立に設けられる。

【0036】請求項10記載の液晶表示装置は、請求項9記載の液晶表示装置であって、行の各々に対応して設けられる、補助走査線をさらに備える。各液晶駆動回路は、対応するデータ線とデータ保持ノードとの間に、メモリスイッチと直列に接続され、対応する補助走査線の活性化に応答してオンする第1のリーク防止スイッチをさらに含む。

【0037】請求項11記載の液晶表示装置は、請求項10記載の液晶表示装置であって、補助走査線の活性化期間は、1個の副画素にそれぞれ対応する1本の走査線の活性化期間の全てを含むように設定される。

【0038】請求項12記載の液晶表示装置は、請求項10記載の液晶表示装置であって、行の各々において、1本の複数の走査線のうちの少なくとも2つは同時に活性化される。各液晶駆動回路は、対応するデータ線とデータ保持ノードとの間に、メモリスイッチと直列に接続され、対応する走査線と同時に活性化される、同一の行に対応する他の走査線の活性化に応答してオンする第2のリーク防止スイッチをさらに含む。

【0039】請求項13記載の液晶表示装置は、請求項12記載の液晶表示装置であって、第1および第2の制御線は、他の行に対応する1本の走査線のうちの、活性化期間が重なり合わない2本の走査線を用いて構成される。

【0040】請求項14記載の液晶表示装置は、請求項12または13記載の液晶表示装置であって、第2のリーク防止トランジスタおよびメモリスイッチは、複数個ずつ設けられる。

【0041】請求項15記載の液晶表示装置は、請求項1または9に記載の液晶表示装置であって、第1および第2の駆動スイッチは、複数個ずつ配置される。

【0042】請求項16記載の携帯電話機は、画面表示機能を備える携帯電話機であって、画面表示を実行するための液晶表示装置を備える。液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有する。液晶表示装置は、最大輝度および最小輝度の一方に相当する第1の液晶駆動電位を伝達するための第1の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第2の液晶駆動電位を伝達するための第2の駆動電位供給線と、複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複数の第1の制御線、および複数の第2の制御線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像データ信号を伝達するための複数のデータ線と、複数の画素にそれぞれ対応して設けられ、各々が画像データ信号に応じて、対応する画素電極を駆動するための複数の液晶駆動回路とをさらに含む。各液晶駆動回路は、走査線の活性化に応答して、対応するデータ線とデータ保持ノードとの間を電氣的に結合するためのメモ

リスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、対応する第 1 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 1 の制御線の活性化に応答してオンする第 1 の駆動スイッチと、対応する第 2 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 2 の制御線の活性化に応答してオンする第 2 の駆動スイッチと、第 1 および第 2 の電位供給線の一方と画素電極との間に、第 1 および第 2 の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第 3 の駆動スイッチとを有する。

【0043】請求項 17 記載の携帯情報端末機器は、画面表示機能を備える携帯情報端末機器であって、画面表示を実行するための液晶表示装置を備える。液晶表示装置は、マトリクス状に配置される複数の画素を有する液晶表示部を含み、複数の画素の各々は、画素電極と対向電極との間の電位差に応じて光学応答を示す液晶表示素子を有する。液晶表示装置は、最大輝度および最小輝度の一方に相当する第 1 の液晶駆動電位を伝達するための第 1 の駆動電位供給線と、最大輝度および最小輝度の他方に相当する第 2 の液晶駆動電位を伝達するための第 2 の駆動電位供給線と、複数の画素の行にそれぞれ対応して設けられる、複数の走査線、複数の第 1 の制御線、および複数の第 2 の制御線と、複数の画素の列にそれぞれ対応して設けられ、各々が画像 データ信号 を伝達するための複数のデータ線と、複数の画素にそれぞれ対応して設けられ、各々が画像 データ信号 に応じて、対応する画素電極を駆動するための複数の液晶駆動回路 とをさらに含む。各液晶駆動回路 は、走査線の活性化に응答して、対応するデータ線とデータ保持 ノードとの間を電氣的に結合するためのメモリスイッチと、データ保持 ノードの電位を保持 するためのメモリ部と、対応する第 1 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 1 の制御線の活性化に응答してオンする第 1 の駆動スイッチと、対応する第 2 の電位供給線と対応する画素電極との間に電氣的に結合され、対応する第 2 の制御線の活性化に응答してオンする第 2 の駆動スイッチと、第 1 および第 2 の電位供給線の一方と画素電極との間に、第 1 および第 2 の駆動スイッチの一方と直列に接続され、データ保持 ノードの電位に応じてオン・オフする第 3 の駆動スイッチとを有する。

【0044】

【発明の実施の形態】以下において、本発明の実施の形態を図面を参照して詳細に説明する。なお、以下の説明において、同一または相当部分については同一の参照符号を付すものとする。

【0045】【実施の形態 1】図 1 は、本発明の実施の形態 1 に従う液晶表示装置 1 の全体構成を示す概略ブロック図である。

【0046】図 1 を参照して、実施の形態 1 に従う液晶表示装置 1 は、液晶表示部 2 を備える。液晶表示部 2 には、行列状に配置された複数の画素 3 が配置される。

【0047】画素の行（以下、「ライン」とも称する）の各々に対応して、走査線 5、第 1 の制御線（以下、「セット線」とも称する）6、第 2 の制御線（以下、「リセット線」とも称

する) 7、第1の液晶駆動電位VREFを伝達する駆動電位供給線8、共通電位VCOM1を伝達する共通電位供給線9、および第2の液晶駆動電位VCOM2を伝達する駆動電位供給線10が配置される。また、画素の列の各々に対応して、データ線11が配置される。

【0048】走査線5、セット線6およびリセット線7は、対応するラインが活性化された場合に、所定のタイミングでHレベルに活性化される、アドレス信号ADD、セット信号STおよびリセット信号RSTをそれぞれ伝達する。

【0049】第1の液晶駆動電位VREFは、一定周期ごとに+V1cもしくは-V1cに設定される。+V1cおよび-V1cは、対向電極電位VLCOMに対してそれぞれ異なる極性を有する。この結果、第1の液晶駆動電位VREFの極性は一定周期ごとに反転されて、液晶表示素子における焼き付きの発生が抑制される。各画素は、第1の液晶駆動電位VREFおよび第2の液晶駆動電位VCOM2を書込まれた場合に、最大輝度および最小輝度の一方ずつを表示する。

【0050】なお、図1に示されるように、第1の液晶駆動電位VREF、共通電位VCOM1および第2の液晶駆動電位VCOM2を、第1の駆動電位供給線8、共通電位供給線9および第2の駆動電位供給線10のそれぞれの両端側から供給する構成とすることにより、同一の電位供給線上における電位変動を抑制することができる。

【0051】液晶表示装置1は、垂直走査回路15oおよび15eと、水平走査回路20と、スイッチ部25とをさらに備える。

【0052】垂直走査回路15oおよび15eは、同期信号の供給を受けて動作する。水平走査回路20は、同期信号および画像信号の供給を受けて動作する。なお、同期信号は、それぞれの画像信号の水平および垂直同期タイミングを示す水平同期信号および垂直同期信号、ならびに画素信号の有効期間を表わす画素信号イネーブル信号等を総称的に示している。

【0053】垂直走査回路15oは、垂直同期周期に基づいて、奇数ラインに対応する、走査線5、セット線6およびリセット線7を選択的に活性化する。垂直走査回路15eは、垂直同期信号に基づいて、偶数ラインに対応する、走査線5、セット線6およびリセット線7を選択的に活性化する。具体的には、垂直走査回路15oおよび15eは、各走査線5、各セット線6および各リセット線7によってそれぞれ伝達される、アドレス信号ADD、セット信号STおよびリセット信号RSTの活性化期間を制御する。

【0054】奇数ラインに対応する垂直走査回路15oおよび偶数ラインに対応する垂直走査回路15eを、液晶表示部2を挟んで対向する領域に分割配置することによって、液晶表示部2における画素の列方向におけるピッチ制約を緩和して、高精細表示化を図ることができる。

【0055】水平走査回路20は、供給された画像信号を処理して、所定タイミングにおける画像データ信号DATに展開する。スイッチ部25は、水平走査回路20とデー

タ線 11 との間にそれぞれ配置される複数のスイッチユニットによって構成される。

【0056】水平走査回路 20 は、水平走査周期に基づいて、複数のスイッチユニットをオンして、画像 データ信号 DAT をデータ線 11 に供給する。

【0057】いわゆる点順次駆動の場合には、水平走査回路 20 は、スイッチ部 25 を構成する複数のスイッチユニットを順にオンする。この結果、垂直走査の対象となる 1 つのラインに属する各画素は、対応するスイッチユニットの選択的なオンによって順次水平走査の対象となり、画像 データ信号 の供給を受ける。あるいは、ラインごと一括駆動する構成とすることも可能であり、この場合には、データ線 11 の各々を用いて、走査されたラインに属する各画素に対して画像 データ信号 が並列に供給される。

【0058】図 2 は、図 1 に示される各画素の構成を示す回路図である。図 2 を参照して、画素 3 は、液晶表示素子 PX と、液晶駆動回路 30 とを含む。液晶表示素子 PX は、画素電極 Npx と対向電極 Ncm とを有する。液晶表示素子 PX には、メモリセルを有しないたとえば TN (Twisted Nematic) 液晶を用いる。

【0059】液晶表示素子 PX は、画素電極 Npx の電位である画素電極電位 Vpx と対向電極 Ncm に印加される対向電極電位 VLCCOM との電位差に相当する液晶印加電位に応じた光学応答を示す。したがって、液晶表示素子 PX が反射型の場合には、当該液晶印加電位に応じて反射率（輝度）が変化する。また、液晶表示素子 PX が透過型の場合には、液晶印加電位に応じて透過率（輝度）が変化する。

【0060】液晶駆動回路 30 は、データ線 11 およびデータ保持 ノード Nm の間に電気的に結合される n 型 TFT 31 と、第 2 の駆動電位供給線 10 およびデータ保持 ノード Nm の間に接続されるコンデンサ 32 とを有する。n 型 TFT 31 のゲートは走査線 5 と結合される。

【0061】走査線 5 が走査の対象となって H レベル電位に活性化されると、n 型 TFT 31 はオンする。反対に、対応する走査線 5 は、走査の対象でない場合には L レベル電位に非活性化されるので、n 型 TFT 31 はオフする。したがって、n 型 TFT 31 は、走査線 5 の活性化に応答してオンするスイッチ素子として動作する。

【0062】液晶駆動回路 30 は、第 2 の駆動電位供給線 10 と画素電極 Npx との間に直列に結合される n 型 TFT 33 および 34 と、画素電極 Npx および共通電位供給線 9 との間に接続されるコンデンサ 35 と、第 1 の駆動電位供給線 8 および画素電極電位の間に電気的に結合される n 型 TFT 36 とをさらに含む。

【0063】n 型 TFT 33 は、セット線 6 と結合されたゲートを有し、セット線 6 の活性化に応答してオンするスイッチ素子として動作する。n 型 TFT 34 は、データ保持 ノード Nm と結合されたゲートを有し、データ保持 ノード Nm の電位に応じてオン・オフするスイッチ素子として動作する。n 型 TFT 36 は、リセット線 7 と結合されたゲートを有し、リセット線 7 の活性化に応答してオンするスイッチ素子として動作する。

【0064】走査線 5 の活性化（H レベル）期間中、すなわち対応するラインが走査対象

となっている場合においては、水平走査回路 20 によってデータ線 11 に供給された画像データ信号 DAT は、n 型 TFT 31 のオンによって、データ保持 ノード Nm に伝達される。いわゆる点順次駆動の場合には、1 つのラインにおける全部の画素を走査した後に、垂直走査回路 15 o, 15 e によって、走査線 5 の電位が L レベルに設定されるため、これに対応して n 型 TFT 31 はオフ状態になると、コンデンサ 32 によってデータ保持 ノード Nm の電位が保持 される。

【0065】この結果、n 型 TFT 31 およびコンデンサ 32 は、データ線 11 によって供給される画像 データ信号 DAT のレベルを保持 する一種の DRAM (Dynamic Random Access Memory) として動作する。

【0066】リセット線 7 を活性化することによって、画素電極 N p x は第 1 の駆動電位供給線 8 と結合されて、画素電極電位 V p x は第 1 の液晶駆動電位 V R E F にリセットされる。

【0067】さらに、リセット線 7 を非活性化した後に、セット線 6 を活性化した場合には、データ保持 ノード Nm に保持 される電位に応じて n 型 TFT 34 がオンするときには、画素電極 N p x は第 2 の駆動電位供給線 10 と結合されて、画素電極電位 V p x は、第 2 の液晶駆動電位 V C O M 2 に設定される。一方、データ保持 ノード Nm に保持 される電位に応じて n 型 TFT 34 がオフするときには、画素電極 N p x は第 2 の駆動電位供給線 10 と結合されないため、画素電極電位 V p x は、リセット時の第 1 の液晶駆動電位 V R E F を維持する。

【0068】ここで、消費電力の低減を図るために、垂直走査回路 15 o, 15 e および水平走査回路 20 の動作周波数を低下させ、データ保持 ノード Nm に対する書込間隔を長くした場合には、データ保持 ノード Nm の電位は、n 型 TFT 31 のリーク等によって低下する。

【0069】しかし、データ保持 ノード Nm の電位は、n 型 TFT 34 のオン・オフを制御するための電位であるので、データ保持 ノード Nm の電位がこれらの TFT のしきい値電位を超えて変化しない限り、n 型 TFT 31 の状態は維持される。したがって、セット線 6 およびリセット線 7 を定期的に活性化すれば、データ保持 ノード Nm の電位、すなわちデータ線 11 によって一旦伝達された画像 データ信号 DAT のレベルに応じて、第 1 の液晶駆動電位 V R E F もしくは第 2 の液晶駆動電位 V C O M 2 を画素電極 N p x に印加して書込むことができる。

【0070】本実施の形態においては、液晶表示素子 P X は、ノーマリ・ホワイト・モードの液晶表示を実行するものとする。また、表示コントラストが大きくなるように、画素電極 N p x に第 1 の液晶駆動電位 V R E F が印加されたとき（以下、「非点灯状態」とも称する）に概ね最小輝度 L m i n を表示し、画素電極 N p x に第 2 の液晶駆動電位 V C O M 2 が印加されたとき（以下、「点灯状態」とも称する）に概ね最大輝度 L m a x が得られるように各電位を設定するものとする。

【0071】このような構成とすることにより、液晶表示素子PXに液晶電極電位を印加する、液晶電極電位の書込動作を実行する場合において、各画面の表示フレームを2つの表示モードから構成することができる。

【0072】第1の表示モードは、走査線5の活性化に応答して、データ線11に供給された画像 データ信号 DATの取込みを伴う書込動作を行なって、液晶表示素子PXの表示状態を更新する表示モード（以降、「リフレッシュ・モード」とも称する）である。

【0073】第2の表示モードは、走査線5の活性化を伴わず、セット線6およびリセット線7の活性化に応答して、データ保持 ノードNmに保持 された画像 データ信号 DATに基づいた再書込動作を行なって、リフレッシュ・モードで指定された液晶表示素子PXの表示状態を更新することなく保持 するモード（以降、「ホールド・モード」とも称する）である。

【0074】図3は、液晶表示装置1における表示フレーム期間の構成を示す概念図である。

【0075】図3を参照して、液晶表示装置1における1つの表示フレームは、入力画像 信号 に応じて液晶表示部2の表示をリフレッシュ（更新）するためのリフレッシュ・サブフレームと、液晶表示部2の表示をホールド（保持）するためのホールド・サブフレームとから構成される。

【0076】リフレッシュ・サブフレームにおいては、各液晶駆動回路30が上述のリフレッシュ・モードで動作し、またホールドサブフレームにおいては、上述のホールド・モードで動作する。

【0077】すなわち、リフレッシュ・モードにおいては、垂直走査回路15o、15eによって、走査線5、セット線6およびリセット線7が走査されるとともに、水平走査回路20によって、データ線11へ画像 データ信号 DATが伝達される。

【0078】一方、ホールド・モードにおいては、垂直走査回路15o、15eによって、セット線6およびリセット線7を周期的に活性化することによって、データ保持 ノードNmに保持 された画像 データ信号 DATに応じて、画素電極電位の再書込を実行することができる。この結果、水平走査回路20におけるデータ線11に画像 データ信号 を供給する動作を停止させることができる。したがって、水平走査回路20をリフレッシュ・サブフレームのみ動作するような間欠駆動を行って、ホールド・サブフレームにおいては、水平走査回路20の動的（交流的）に電力を消費する部分の動作を停止させることができる。

【0079】すなわち、1つの表示フレームを、N個（N：自然数）のサブフレームから構成する場合において、水平走査回路の消費電力Warは、下式で示される。

【0080】

$War = (1/N) \times Wr + ((N-1)/N) \times Wh$ ここで、Wrは、リフレッシュ・サブフレーム期間における平均消費電力、すなわち動的（交流的）消費電力と静的（直流的）

消費電力の和の平均を示し、 W_h は、ホールド・サブフレームにおける平均消費電力、すなわち静的消費電力の平均値を示すものとする。

【0081】水平走査回路20をCMOS回路で構成すれば、静的消費電力は極めて小さくすることができるので、 $W_{ar} \propto (1/N) \times W_r$ となる。すなわち、間欠駆動を行なわない従来の液晶表示装置に比べて、水平走査回路20の消費電力を、ほぼ $1/N$ に低減することができる。

【0082】水平走査回路20の駆動周波数は、垂直走査回路15o, 15eの駆動周波数に比べるとはるかに高く、たとえば液晶表示部の水平画素数を100程度としても、前者が後者の約100倍に達する。このため、水平走査回路20の消費電力も、垂直走査回路15o, 15eに比べてはるかに高くなる。

【0083】したがって、液晶表示装置1のように、水平走査回路20を間欠駆動してその消費電力を低減することは、液晶表示装置全体の低消費電力化に大きな効果をもたらす。なお、実施の形態1においては、各表示フレームを1つのリフレッシュ・サブフレームと3つのホールド・サブフレームから構成して、合計4個($N=4$)のサブフレームから構成するようにしたが、1つの表示フレームに含まれるホールド・サブフレームの個数は、各液晶駆動回路30において、データ保持ノードNmに保持する電位が、n型TFT34のしきい値電位を超えないように維持可能な範囲で任意に設定することが可能である。

【0084】図4は、リフレッシュ・モード時での実施の形態1に従う画素電極電位の書込動作を示すタイミングチャートである。図4においては、第 $2n$ ($2n$:偶数)ライン・第 m 列(m :自然数)の画素(以下、画素3aと称する)、および第 $(2n-1)$ ライン・第 m 列の画素(以下、画素3bと称する)に対する書込動作が示される。

【0085】図4を参照して、期間 T_0 、 T_1 および T_2 において、第 $(2n-1)$ 、 $2n$ および $(2n+1)$ ラインのそれぞれが垂直走査対象に選択される。

【0086】期間 T_0 においては、画素3bにおける画像データ信号の取込動作が実行される。期間 T_1 においては、画素3bにおける画素電極電位の書込動作および、画素3aにおける画像データ信号DAT(m)の取込動作が実行される。期間 T_2 においては、画素3bにおける画素電極電位の書込動作が実行される。このように、各ラインに対する画素電極電位の書込動作は、次のラインに対する画像データ信号の取込動作と並列に実行される。

【0087】第1の液晶駆動電位 V_{REF} は、期間 $T_0 \sim T_2$ の各々において極性が反転し、 $+V_{lc}$ もしくは $-V_{lc}$ に設定される。 $+V_{lc}$ および $-V_{lc}$ は、対向電極電位 V_{LCCOM} に対してそれぞれ異なる極性を有する。この結果、第1の液晶駆動電位 V_{REF} の極性は一定周期ごとに反転されて、液晶表示素子における焼き付きの発生が抑制される。 $+V_{lc}$ および $-V_{lc}$ の平均値、すなわち第1の液晶駆動電位 V_{REF} の振幅の中間値は電位0で示される。

【0088】同一フレーム内において、各表示ラインごとに第1の液晶駆動電位 V_{REF}

の極性を反転する。たとえば、図3に示されるように、連続するラインにそれぞれ属する画素3bおよび3aに対する書込がそれぞれ実行される期間T0およびT1において、第1の液晶駆動電位VREFは、それぞれ $-V_{lc}$ および $+V_{lc}$ に設定されており、その極性は反転されている。

【0089】この結果、ラインごとに画素電極電位の極性を分散することができるので、表示輝度のリップル、すなわちフリッカが低減される。

【0090】さらに、各ラインの極性を表示フレームごとに反転することによって、表示フレームの各々において、ラインごとに画素電極電位の極性を分散することができる。この結果、表示フレームの切替わりに起因する表示輝度のリップル、すなわちフリッカがさらに低減される。

【0091】期間T0において、第 $(2n-1)$ ラインに対応する走査線5によって伝達されるアドレス信号ADD $(2n-1)$ の活性化にตอบสนองして、画素3bのn型TFT31がオンする。これにより、Hレベルの画像データ信号DAT(m)が画素3bに取込まれ、画素3bのデータ保持ノードNm $(2n-1)$ の電位がLレベルからHレベルに変化する。

【0092】期間T1においては、第 $2n$ ラインに対応する走査線5によって伝達されるアドレス信号ADD $(2n)$ の活性化にตอบสนองして、画素3aのn型TFT31がオンする。これにより、Lレベルの画像データ信号DAT(m)が画素3aに取込まれ、画素3aのデータ保持ノードNm $(2n)$ の電位がHレベルからLレベルに変化する。

【0093】画素3aにおける画像データ信号の取込動作と並列に、画素3bにおいて、期間T0で取込まれた画像データ信号に基づく画素電極電位の書込動作が実行される。

【0094】まず、画素3bに対応するリセット信号RST $(2n-1)$ が所定期間活性化されて、画素3bの画素電極Npxは第1の駆動電位供給線8と結合される。これに応じて、画素電極電位Vpx $(2n-1)$ は、第1の液晶駆動電位VREFで駆動されて、 $-V_{lc}$ に向かって変化する。すなわち、画素3bは、リセット信号RST $(2n-1)$ の活性化にตอบสนองして、データ保持ノードNmに保持されるデータレベルにかかわらず、一旦非点灯状態に設定される。

【0095】対応するリセット信号RST $(2n-1)$ がHレベルからLレベルへ変化するタイミングにおいて、リセット線7と画素電極Npxとの間の容量結合等の影響によって生じるフィードスルーと呼ばれる電位変動によって、画素電極電位Vpx $(2n-1)$ は、Vf-に変化する。

【0096】一方、第1の液晶駆動電位の極性が逆である場合には、画素電極電位Vpx $(2n-1)$ は、図中に点線で示されるように逆の極性で変化し、フィードスルーの影響後には、Vf+に達する。

【0097】対応するリセット信号RST $(2n-1)$ が非活性された後に、セット信号ST $(2n-1)$ が活性化される。画素3bにおいては、データ保持ノードNm $(2n-$

1) にHレベルが保持 されているので、セット信号 $ST(2n-1)$ の活性化に応答して、画素3bの画素電極 Npx は第2の駆動電位供給線10と結合される。これに応じて、画素電極電位 $V_{px}(2n-1)$ は、第2の液晶駆動電位 V_{COM2} によって駆動される。これにより、画素3bは、非点灯状態に設定されて、最大輝度を表示する。

【0098】さらに、セット信号 $ST(2n-1)$ がHレベルからLレベルへ変化するタイミングにおいて、セット線6と画素電極 Npx との間の容量結合等の影響によって生じるフィードスルーによって、画素電極電位 $V_{px}(2n-1)$ は、第2の液晶駆動電位 V_{COM2} から V_{f0} に変化する。

【0099】期間 $T2$ においては、まず、画素3aに対応するリセット信号 $RST(2n)$ が所定期間活性化されて、画素3aは、期間 $T1$ における画素3bと同様に、データ保持ノード Nm に保持 されるデータレベルにかかわらず、一旦非点灯状態に設定される。この結果、フィードスルーの影響を受けた後、画素電極電位 $V_{px}(2n-1)$ は、 V_{f+} に達する。

【0100】一方、第1の液晶駆動電位の極性が逆である場合には、画素電極電位 $V_{px}(2n-1)$ は、図中に点線で示されるように逆の極性で変化し、フィードスルーの影響後には、 V_{f-} に達する。

【0101】リセット信号 $RST(2n)$ が非活性化された後に、セット信号 $ST(2n)$ が活性化される。画素3aにおいては、データ保持 ノード $Nm(2n)$ にLレベルが保持 されているので、セット信号 $ST(2n)$ が活性化されても、画素3bの画素電極 Npx は第2の駆動電位供給線10と結合されない。したがって、画素電極電位 $V_{px}(2n-1)$ は、セット信号 $ST(2n)$ の活性化および非活性化に伴うフィードスルーの影響を受けた後に、リセット信号 $RST(2n)$ の活性化に伴う第1の液晶駆動電位 V_{REF} の駆動後における電位 V_{f+} に復帰する。これにより、画素3aは、非点灯状態に設定されて最小輝度を表示する。

【0102】図示しないが、次のラインである第 $(2n+1)$ ラインにおける画像 データ信号 の取込動作が、期間 $T2$ において並列に実行される。

【0103】なお、対向電極電位 V_{LCCOM} を、第1の液晶駆動電位 V_{REF} の駆動後における画素電極電位 V_{f+} および V_{f-} の平均値に、すなわち下記(1)式に従って設定する。

【0104】

$$V_{LCCOM} = \{(V_{f-}) + (V_{f+})\} / 2 \dots (1)$$

また、第2の液晶駆動電位 V_{COM2} は、フィードスルー等による電位変動を考慮して、図4に示される V_{f0} が対向電極電位 V_{LCCOM} と等しくなるように、第1の液晶駆動電位の振幅の中心値（図4における電位0）および対向電極電位 V_{LCCOM} とは異なるレベルに設定される。

【0105】これにより、非点灯状態においては、第1の液晶駆動電位 V_{REF} の極性に

かかわらず、画素電極 N_{px} と対向電極 N_{cm} との間の電位差を一定にすることができ、点灯状態においては、画素電極 N_{px} と対向電極 N_{cm} との間の電位差を0にすることができる。この結果、点灯時および非点灯時のいずれにおいても、液晶表示素子に焼付きを発生させることなく、フリッカ等の発生を防止して高い表示品位を維持することができる。

【0106】図5は、ホールド・モード時での実施の形態1に従う画素電極電位の書込動作を示すタイミングチャートである。

【0107】図5を参照して、期間 T_4 においては、画素3bにおいて、データ保持ノード $N_m(2n-1)$ の電位に応じた画素電極電位の再書込動作が実行される。期間 T_5 においては、画素3aにおいて、データ保持ノード $N_m(2n)$ の電位に応じた画素電極電位の再書込動作が実行される。

【0108】既に説明したように、ホールド・モード時には、走査線5は非活性状態に維持されて、画像データ信号DATの供給は実行されない。したがって、データ線11の電位は、たとえばLレベルに固定される。

【0109】期間 T_3 においては、セット線6およびリセット線7はいずれも非活性化(Lレベル)されており、画素3aおよび3bにおいて、画素電極電位は維持される。

【0110】期間 T_4 においては、まず、画素3bに対応するリセット信号 $RST(2n-1)$ が所定期間活性化されて、画素3bは、期間 T_1 における画素3bと同様に、データ保持ノード N_m に保持されるデータレベルにかかわらず、一旦非点灯状態に設定される。この結果、画素電極電位 $V_{px}(2n-1)$ は、 $-V_{lc}$ に設定された第1の液晶駆動電位 V_{REF} によって駆動され、フィードスルーの影響を受けた後 V_{f-} に達する。

【0111】リセット信号 $RST(2n-1)$ が非活性された後に、セット信号 $ST(2n-1)$ が活性化される。画素3bにおいては、データ保持ノード $N_m(2n-1)$ にHレベルが保持されているので、セット信号 $ST(2n-1)$ の活性化に応答して、画素3bの画素電極 $N_{px}(2n-1)$ は、第2の液晶駆動電位 V_{COM2} に駆動される。これにより、画素3bは、点灯状態に再度設定されて、最大輝度の表示を保持する。

【0112】期間 T_5 においては、まず、画素3aに対応するリセット信号 $RST(2n)$ が所定期間活性化されて、画素3aは、データ保持ノード N_m に保持されるデータレベルにかかわらず、画素電極 $N_{px}(2n)$ が第1の液晶駆動電位 V_{REF} に駆動されて、一旦非点灯状態に設定される。その後、リセット信号 $RST(2n)$ の非活性化に伴うフィードスルーによって、画素電極電位 $V_{px}(2n)$ は、 V_{f+} に達する。

【0113】リセット信号 $RST(2n)$ が非活性された後に、セット信号 $ST(2n)$ が活性化される。画素3aにおいては、データ保持ノード $N_m(2n)$ にLレベルが保持されているので、セット信号 $ST(2n)$ が活性化されても、画素3bの画素電極 N_{px} は第2の駆動電位供給線10と結合されない。したがって、画素電極電位 $V_{px}(2n)$ には、第1の液晶駆動電位 V_{REF} への駆動後の電位(V_{f+})が維持される。これにより、画素3aは、非点灯状態に再設定されて、最小輝度の表示を保持する。

【0114】このような構成とすることにより、ホールド・サブフレームにおいて画像データ信号の供給動作を停止した上で、各サブフレームにおいて、点灯状態および非点灯状態に設定される画素のそれぞれについて、第1の液晶駆動電位 V_{REF} および第2の液晶駆動電位 V_{COM2} によって画素電極電位を駆動することができる。この結果、同一画像を長期間表示する場合においても、画素電極電位の変動に起因する焼付きの発生やコントラストの低下を防止して、表示品位を損なうことなく低消費電力化を図ることができる。

【0115】なお、図2においては、データ保持ノード N_m の電位に応じてオン・オフするn型TFT34を、第2の駆動電位供給線10と画素電極 N_{px} との間にn型TFT33と直列に接続する構成を例示したが、n型TFT34は、第1の駆動電位供給線8と画素電極 N_{px} との間にn型TFT36と直列に接続することもできる。この場合には、n型TFT33および36のオン順序を入換えるために、n型TFT36のゲートをセット線6と結合し、n型TFT33のゲートをリセット線7と結合する必要がある。

【0116】[実施の形態2] 図6は、実施の形態2に従う第1の液晶駆動電位の供給を説明する回路図である。

【0117】図6には、偶数ラインに相当する第2nラインに対応する画素3aと、隣接する奇数ラインに相当する第(2n-1)ラインに対応する画素3bとが代表的に示される。

【0118】画素3aは、液晶表示素子 PX_a および液晶駆動回路30aを含む。画素3bは、液晶表示素子 PX_b および液晶駆動回路30bを含む。

【0119】実施の形態2に従う構成においては、第1の液晶駆動電位 V_{REF} は、1ラインごとに互いに位相が反転するように供給される。以下においては、奇数ラインに供給される第1の液晶駆動電位を V_{REFo} で示し、偶数ラインに供給される第1の液晶駆動電位を V_{REFe} で示す。第1の液晶駆動電位 V_{REFo} および V_{REFe} は、互いに位相が180度ずれており、表示フレーム単位でその極性は反転される。第1の液晶駆動電位 V_{REFo} および V_{REFe} をそれぞれ伝達するための第1の駆動電位供給線8oおよび8eは独立に配置される。

【0120】奇数ラインに属する画素3bに対しては、第1の駆動電位供給線8oによって、第1の液晶駆動電位 V_{REFo} が供給される。一方、偶数ラインに属する画素3aに対しては、第1の駆動電位供給線8eによって、第1の液晶駆動電位 V_{REFe} が供給される。

【0121】液晶駆動回路30aおよび30bの各々は、実施の形態1における液晶駆動回路30と同様の構成を有するので、詳細な説明は繰り返さない。

【0122】図7は、リフレッシュ・モード時での実施の形態2に従う画素電極電位の書込動作を示すタイミングチャートである。

【0123】図7を図5と比較して、第1の液晶駆動電位 V_{REFo} および V_{REFe} は、期間 $T_0 \sim T_2$ において、 $-V_{lc}$ および $+V_{lc}$ にそれぞれ維持される。次の表示フレ

ーム期間において、第1の液晶駆動電位 V_{REFo} および V_{REFe} は、 $+V_{lc}$ および $-V_{lc}$ にそれぞれ維持される。

【0124】画像 データ信号 の取込動作および画素電極電位の書込動作は、図4と同様であるので、詳細な説明は繰り返さない。

【0125】図8は、ホールド・モード時での実施の形態2に従う画素電極電位の書込動作を示すタイミングチャートである。

【0126】図8を図5と比較して、第1の液晶駆動電位 V_{REFo} および V_{REFe} は、期間 $T_0 \sim T_2$ において、 $-V_{lc}$ および $+V_{lc}$ にそれぞれ維持される。次の表示フレーム期間において、第1の液晶駆動電位 V_{REFo} および V_{REFe} は、 $+V_{lc}$ および $-V_{lc}$ にそれぞれ維持される。

【0127】画像 データ信号 の取込動作および画素電極電位の書込動作は、図5と同様であるので、詳細な説明は繰り返さない。

【0128】このように、1ラインごとに極性が互いに異なる第1の液晶駆動電位 V_{REFo} 、 V_{REFe} を供給する構成とすることによって、第1の液晶駆動電位の周波数を表示フレーム周期相当の低周波数としても、実施の形態1において水平走査周期に相当する周波数で第1の液晶駆動電位 V_{REF} を生成した場合と同様の表示品位を得ることができる。この結果、第1の液晶駆動電位の生成に要する消費電力を低減できる。

【0129】[実施の形態3]実施の形態3においては、各画素を複数の副画素に分割して、階調表示を実行する構成について説明する。

【0130】図9は、実施の形態3に従う各画素の構成を示す回路図である。図9を参照して、画素3は4個の副画素4a～4dに分割される。液晶表示素子PXは、副画素4a～4dにそれぞれ対応して、副液晶表示素子SPXa～SPXdに分割される。副液晶表示素子SPXa～SPXdは、副画素電極Npxa～NpXdをそれぞれ有する。副液晶表示素子SPXa～SPXd各々の対向電極には、共通電極電位 V_{LCCOM} が印加される。

【0131】副液晶表示素子SPXa～SPXdは、最大輝度表示時における表示輝度の比が、下式(2)となるように分割される。

【0132】

$$SPXa : SPXb : SPXc : SPXd = 2^0 : 2^1 : 2^2 : 2^3 \dots (2)$$

さらに、副画素4a～4dにおける点灯状態／非点灯状態をデジタル的に設定することによって、画素3の表示輝度を、4ビットデータに基づいた $2^4 = 16$ 段階に設定して、階調表示を実行できる。

【0133】なお、各画素における副画素の分割数を4個としたのは例示にすぎず、分割数は、任意のL個(L:2以上の整数)とすることができる。この場合には、最大輝度表示時における副画素4a～4dの表示輝度の比が、 $2^0 : \dots : 2^{(L-1)}$ となるように液晶表示素子を分割することによって、Lビットデータに基づいた 2^L 段階の階調表示を実行できる。

【0134】各ラインにおいて、走査線5は、副画素4a～4dにそれぞれ対応する独立の走査線5a～5dに分割される。走査線5a～5dは、各ラインの走査期間において、副画素4a～4dが選択される期間にそれぞれ活性化（Hレベル）されるアドレス信号 ADDa～ADDdをそれぞれ伝達する。

【0135】一方、セット線6、リセット線7、第1の駆動電位供給線8o、8e、共通電位供給線9および第2の駆動電位供給線10は、副画素4a～4dに共通に、各ラインごとに設けられる。

【0136】なお、図9に示される画素は偶数ラインに属しており、第1の駆動電位供給線8eによって、第1の液晶駆動電位VREFeが供給されるものとする。これに対して、奇数ラインに属する画素においては、第1の駆動電位供給線8eに代えて第1の駆動電位供給線8oが設けられる。

【0137】副液晶表示素子SPXa～SPXdにそれぞれ対応して、液晶駆動回路40a～40dがそれぞれ配置される。液晶駆動回路40a～40dの各々の構成は同様であるので、液晶駆動回路40aの構成について代表的に説明する。

【0138】液晶駆動回路40aは、図2に示した液晶駆動回路30と同様に、n型TFT31、33、34、36と、コンデンサ32、35とを有する。液晶駆動回路40aは、リーク電流抑制のためのn型TFT41および42をさらに有する。

【0139】n型TFT41は、第2の駆動電位供給線10と副画素電極Npxaとの間にn型TFT33と直列に結合されて、n型TFT33と同様に、セット線6の活性化に応答してオンするスイッチ素子として動作する。n型TFT42は、第1の駆動電位供給線8eおよび画素電極電位の間にn型TFT36と直列に結合されて、n型TFT36と同様に、リセット線7の活性化に応答してオンするスイッチ素子として動作する。

【0140】このような構成とすることにより、各画素3において、副画素電極Npxa～Npzdからのリーク電流を抑制して、表示輝度の変動を防止することができる。

【0141】図10は、リフレッシュ・モード時での実施の形態3に従う画素電極電位の書込動作を示すタイミングチャートである。

【0142】図10を参照して、第2nライン・第m列に位置する画素が垂直走査対象となる期間T1において、副画素4a～4dにおける画像データ信号の取込動作が実行される。なお、第1の液晶駆動電位VREFoおよびVREFeは、図7と同様に設定される。

【0143】期間T1において、アドレス信号 ADDa(2n)～ADDd(2n)をそれぞれ伝達する走査線5a～5dは、一定期間ずつ順に活性化される。データ線11は、アドレス信号 ADDa(2n)～ADDd(2n)の活性化期間と同期するように、副画素4a～4dに書込まれる画像データ信号 DAT(m)を伝達する。

【0144】図10においては、副画素4a～4dに対して、“1”“0”“1”および“0”の画像データ信号 DAT(m)が書込まれる場合が例示される。すなわち、走査線5a～5

dの活性化にそれぞれ応答して、データ保持 ノード $Nma(2n) \sim Nmd(2n)$ は、Hレベル、Lレベル、HレベルおよびLレベルにそれぞれ設定される。

【0145】図4および図7の場合と同様に、第 $(2n+1)$ ラインが垂直走査対象となる期間 $T2$ において、第 $2n$ ラインに属する画素において、画素電極電位の書込動作が実行される。

【0146】各ラインごとに、副画素 $4a \sim 4d$ に共通に設けられるリセット線7およびセット線6によって、リセット信号 $RST(2n)$ およびセット信号 $ST(2n)$ が所定期間ずつ順に活性化される。

【0147】副画素電極 $Npxa \sim Npxd$ は、リセット信号 $RST(2n)$ の活性化に応答して、第1の液晶駆動電位 $VREFe$ と結合される。これに応じて、副画素電極電位 $Vpxa \sim Vpxd$ は、電位 $+Vlc$ に向かって変化する。

【0148】一旦、第1の液晶駆動電位 $VREFe$ への書込が行なわれた後に、セット信号 $ST(2n)$ の活性化に応答して、副画素電極 $Npxa \sim Npxd$ は、データ保持 ノード $Nma(2n) \sim Nmd(2n)$ の電位に応じて、第1の液晶駆動電位 $VREFe$ もしくは第2の液晶駆動電位 $VCOM2$ の供給を受ける。

【0149】この結果、期間 $T2$ における副画素電極電位の書込動作の終了時において、副画素電極 $Npxa \sim Npxd$ は、電位 $Vf0$ 、 $Vf+$ 、 $Vf0$ および $Vf+$ に設定される。

【0150】図11は、ホールド・モード時での実施の形態3に従う画素電極電位の書込動作を示すタイミングチャートである。

【0151】図11を参照して、ホールド・モード時においては、リフレッシュ・モード時の期間 $T1$ においてデータ保持 ノード $Nma(2n) \sim Nmd(2n)$ に書込まれた画像 データ信号 に基づく再書込動作が、各副画素において実行される。

【0152】すなわち、第 $2n$ ラインに属する画素が再書込動作の対象となる期間 $T5$ において、リセット信号 $RST(2n)$ の活性化に応答して、副画素電極 $Npxa \sim Npxd$ は、第1の液晶駆動電位 $VREFe$ と一旦結合される。さらに、セット信号 $ST(2n)$ の活性化に応答して、副画素電極 $Npxa \sim Npxd$ は、データ保持 ノード $Nma(2n) \sim Nmd(2n)$ の電位に応じて、第1の液晶駆動電位 $VREFe$ もしくは第2の液晶駆動電位 $VCOM2$ の供給を受ける。

【0153】この結果、期間 $T5$ における副画素電極電位の再書込動作の終了時において、副画素電極 $Npxa \sim Npxd$ は、リフレッシュ・モード時の期間 $T2$ 終了後と同様の電位 $Vf0$ 、 $Vf+$ 、 $Vf0$ および $Vf+$ に再設定される。

【0154】このような構成とすることにより、実施の形態1と同様のデータ書込を、複数ビットデータに基づいて各画素で階調表示を実行する場合にも実行できる。

【0155】さらに、液晶駆動回路 $40a \sim 40d$ の各々において、リーク電流抑制のためのn型TF $T41$ および 42 を設けているので、書込動作もしくは再書込動作後における

る副画素電極電位の変動を抑制して、各画素における表示輝度の変動を防止して、表示品位の向上を図ることができる。

【0156】[実施の形態4] 図12は、実施の形態4に従う各画素の構成を示す回路図である。

【0157】図12を参照して、実施の形態4においては、図9に示される実施の形態3の構成と比較して、走査線5zがさらに配置される点と、液晶駆動回路40a~40dに代えて液晶駆動回路50a~50dが配置される点とが異なる。

【0158】走査線5zは、各ラインごとに、副画素4a~4dに共通に設けられ、対応するラインが垂直走査対象に選択されている期間において、走査線5a~5dのそれぞれの活性化期間を全て含む活性化期間を有する。

【0159】液晶駆動回路50a~50dの各々についても構成は同様であるので、液晶駆動回路50aの構成について代表的に説明する。

【0160】液晶駆動回路50aは、図9に示した液晶表示回路40aと同様に、n型TFT31、33、34、36、41、42と、コンデンサ32、35とを有する。液晶駆動回路50aは、リーク電流防止のためのn型TFT51をさらに有する。

【0161】n型TFT51は、データ保持ノードNmaとデータ線11との間にn型TFT31と直列に結合されて、走査線5zの活性化に応答してオンするスイッチ素子として動作する。

【0162】図13は、リフレッシュ・モード時での実施の形態4に従う画素電極電位の書込動作を示すタイミングチャートである。

【0163】図13を参照して、走査線5zによって伝達されるアドレス信号ADDz(n)は、第2nラインが垂直走査対象となる期間T1において、順に活性化されるアドレス信号ADDa(2n)~ADDd(2n)のそれぞれの活性化期間を全て含むように活性化される。

【0164】この結果、データ線11とデータ保持ノードNma(2n)~Nmd(2n)との間に接続される複数のn型TFTが全てオンして、図10の場合と同様に、副画素4a~4dに対する画像データ信号DAT(m)の書込が実行される。

【0165】期間T2においては、期間T1でデータ保持ノードNma(2n)~Nmd(2n)に書込まれた画像データ信号に応じて、副画素電極Npxa~Npzdに対して、図10の場合と同様の書込動作が実行される。

【0166】図14は、ホールド・モード時での実施の形態4に従う画素電極電位の書込動作を示すタイミングチャートである。

【0167】図14を参照して、ホールド・モードにおいては、走査線5zは、走査線5a~5dと同様に非活性状態に維持される。この結果、データ保持ノードNma(2n)~Nmd(2n)の各々とデータ線11の間には、オフされた複数のn型TFTが直列に結合される。

【0168】第2nラインに属する画素が再書込動作の対象となる期間T5における、副画素電極Npxa～Npxdに対する再書込動作は、図11と同様であるので詳細な説明は繰り返さない。

【0169】このような構成とすることにより、各画素3において、データ保持 ノードNma～Nmdからのリーク電流を抑制できる。この結果、同一画像 を表示する場合において、図3に示した表示フレーム期間を長くして画像 データ信号 の書込周期を拡大することによって、さらなる低消費電力化を図ることができる。

【0170】なお、液晶駆動回路 50a～50dにおいて、n型TFT51に相当するTFTを複数個に配置することも可能である。この場合には、データ保持 ノードNma～Nmdからのリーク電流をさらに強力に抑制できる。

【0171】[実施の形態5] 図15は、実施の形態5に従う各画素の構成を示す回路図である。

【0172】図15を参照して、実施の形態5においては、図12に示される実施の形態4の構成と比較して、セット線6およびリセット線7が各ラインごとに配置される専用の信号 線ではなく、他のラインに対応する走査線によって共用される点異なる。

【0173】副液晶表示素子SPXa～SPXdにそれぞれ対応して、図12と同様の液晶駆動回路 50a～50dがそれぞれ配置される。実施の形態5においては、走査線5a～5dを他のラインに対応するセット線6およびリセット線7として共用するために、アドレス信号 ADDa(2n)～ADDd(2n)の活性化タイミングが異なる。

【0174】図16は、リフレッシュ・モード時での実施の形態5に従う画素電極電位の書込動作を示すタイミングチャートである。

【0175】図16を参照して、第2nラインに対応するアドレス信号 ADDa(2n)～ADDd(2n)は、同時に2つずつが順に活性化されるように、その信号 レベルが設定される。

【0176】図16に示される例においては、第2nラインが垂直走査対象に選択される期間T1において、まず、アドレス信号 ADDa(2n)およびADDb(2n)が同時に活性化される。その後、アドレス信号 ADDb(2n)およびADDc(2n)が同時に活性化された後に、ADDc(2n)およびADDd(2n)が同時に活性化され、最後にADDd(2n)およびADDa(2n)が同時に活性化される。

【0177】これにより、アドレス信号 ADDb(2n)およびADDd(2n)は、期間T1内において、活性化期間が重なり合うことなく順に活性化される。したがって、アドレス信号 ADDb(2n)およびADDd(2n)は、期間T1において第2nラインに対する画像 データ信号 の書込と並列に実行される、第(2n-1)ラインに対する画素電極電位の書込動作において、リセット信号 RST(2n-1)およびセット信号 ST(2n-1)としてもそれぞれ共用することができる。

【0178】期間T1におけるデータ保持 ノードNma(2n)～Nmd(2n)に対す

る画像 データ信号 の書込動作、および期間T 2における副画素電極N p x a ~ N p x d に対する書込動作は、図1 3と同様に実行されるので、詳細な説明は繰り返さない。

【0 1 7 9】図1 7は、ホールド・モード時での実施の形態5に従う画素電極電位の書込動作を示すタイミングチャートである。

【0 1 8 0】図1 7を参照して、ホールド・モードにおいて、他のラインのリセット信号 R S T (2 n - 1) およびセット信号 S T (2 n - 1) として共用される、アドレス信号 A D D b (2 n) およびA D D d (2 n) は、期間T 4において、リフレッシュ・モード時の期間T 2と同様のタイミングで活性化される。

【0 1 8 1】第2 n ラインに属する画素が再書込動作の対象となる期間T 5においては、第(2 n + 1) ラインに対応するアドレス信号 A D D b (2 n + 1) およびA D D d (2 n + 1) を、リセット信号 R S T (2 n) およびセット信号 S T (2 n) としてそれぞれ用いて、副画素電極N p x a ~ N p x d に対して、図1 4と同様の再書込動作が実行される。

【0 1 8 2】このような構成とすることにより、実施の形態4と比較して、各ラインごとに配置される信号 線の本数を2本ずつ削減することができる。この結果、垂直走査回路1 5 o , 1 5 e の構成をコンパクト化するとともに、画素配置における列方向のレイアウト制約を緩和して、画素を高集積配置することができる。

【0 1 8 3】[実施の形態6] 図1 8は、実施の形態6に従う各画素の構成を示す回路図である。

【0 1 8 4】図1 8を参照して、実施の形態6においては、図1 5に示される実施の形態5の構成と比較して、液晶駆動回路 5 0 a ~ 5 0 d に代えて液晶駆動回路 6 0 a ~ 6 0 d が配置される点が異なる。走査線 5 a ~ 5 d および5 z の活性化タイミングは、図1 6および図1 7と同様に設定される。

【0 1 8 5】液晶駆動回路 6 0 a ~ 6 0 d の各々についても構成は同様であるので、液晶駆動回路 6 0 a の構成について代表的に説明する。

【0 1 8 6】液晶駆動回路 6 0 a は、図1 3に示した液晶表示回路5 0 a と同様に、n 型T F T 3 1 , 3 3 , 3 4 , 3 6 , 4 1 , 4 2 , 5 1 と、コンデンサ3 2 , 3 5 とを有する。液晶駆動回路 6 0 a は、リーク電流の抑制を強化するためのn 型T F T 6 1 , 6 2 , 6 3 をさらに有する。

【0 1 8 7】n 型T F T 6 1 , 6 2 , 6 3 は、データ線1 1 とデータ保持 ノードN m a との間に、n 型T F T 3 1 および5 1 と直列に接続される。n 型T F T 6 1 は、n 型T F T 3 1 と同様に、副画素4 a に対応する走査線5 a の活性化に応答してオンするスイッチ素子として動作する。

【0 1 8 8】n 型T F T 6 2 および6 3 は、他の副画素4 b ~ 4 c に対応する走査線5 b ~ 5 c のうちの走査線5 a と重なり合う活性化期間を有する1本の活性化に応答してオンするスイッチ素子として動作する。図1 6および図1 7に示されるように、アドレス信号

ADDa (2n) と ADDb (2n) との活性化期間は重なり合うので、n 型 TFT 62 および 63 は、走査線 5b の活性化に応答してオンするスイッチ素子として動作する。

【0189】なお、同一の走査線に対応する、n 型 TFT 31 および 61 と、n 型 TFT 62 および 63 とのそれぞれを、往復電流パスを形成するように並列に配置することによって、これらの n 型 TFT を効率的に配置できる。

【0190】このような構成とすることによって、セット線 6 およびリセット線 7 を走査線 5a～5d の一部によって共用することによって、ホールド・モード時において、データ線 11 とデータ保持 ノード Nma～Nmd との間において、オンする n 型 TFT が存在する構成においても、データ保持 ノード Nma～Nmd からのリーク電流を抑制できる。

【0191】なお、液晶駆動回路 60a～60d において、n 型 TFT 61, 62, 63 に相当する TFT を複数個ずつ配置することも可能である。この場合には、データ保持 ノード Nma～Nmd からのリーク電流をさらに強力に抑制できる。

【0192】また、実施の形態 1 から 6 においては、共通電位 VCOM1 と第 2 の液晶駆動電位 VCOM2 とを互いに独立した電位としたが、これらの電位は、共通の電位に設定することもできる。この場合には、さらに、信号線を削減することができる。

【0193】さらに、隣接する 3 個ずつの画素によって、R (赤)、G (緑) および B (青) の 3 原色のそれぞれを表示して、当該 3 個ずつの画素によって 1 つの表示単位を構成すれば、実施の形態 1 から 6 に従う構成の液晶表示装置において、カラー表示を行なうことができる。

【0194】[実施の形態 7] 以上述べたように、実施の形態 1 から 6 に従う液晶表示装置は、低消費電力駆動が可能な液晶表示素子を用いて、表示品位を損なうことなく画像表示を行なうことができる。したがって、このような液晶表示装置は、携帯電話機や携帯情報端末機器等のバッテリー駆動機器に適している。

【0195】図 19 は、本発明の実施の形態 7 に従う携帯電話機 100 の構成を示す概念図である。

【0196】図 19 を参照して、携帯電話機 100 は、実施の形態 1 から 6 のいずれかに従う液晶表示装置 1 の液晶表示部 2 を表示パネルとして備える。液晶表示装置 1 の構成の詳細については既に説明したとおりであるので繰返さない。この結果、携帯電話機に要求される高品位表示化および低消費電力化にマッチした構成とすることができる。

【0197】図 20 は、本発明の実施の形態 7 に従う携帯情報端末機器 110 の構成を示す概念図である。

【0198】図 20 を参照して、携帯情報端末機器 110 は、実施の形態 1 から 6 のいずれかに従う液晶表示装置 1 の液晶表示部 2 を表示パネルとして備える。これにより、携帯情報端末機器 110 は、携帯電話機 100 と同様に、高品位表示化および低消費電力化を図ることが可能となる。

【0199】今回開示された実施の形態はすべての点で例示であって制限的なものではな

いと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0200】

【発明の効果】請求項1、2および7に記載の液晶表示装置は、各画素に対する1回の書込動作時において、一旦第1および第2の液晶駆動電位の一方によって画素電極電位が駆動された状態から、データ保持ノードの電位に応じて第1および第2の液晶駆動電位の他方によって画素電極電位を駆動することができる。この結果、同一画像を長期間表示する場合においても、画素電極電位の変動に起因する焼付きの発生やコントラストの低下を防止して、表示品位を損なうことなく低消費電力化を図ることができる。

【0201】請求項3に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、焼付きを防止した上でラインごとに画素電極電位の極性を分散することができるので、表示輝度のリップル、すなわちフリッカが低減される。

【0202】請求項4に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、第1の液晶駆動電位の電位切換周波数を表示フレーム周期相当の低周波数としても、焼付きを防止した上でラインごとに画素電極電位の極性を分散できる。したがって、第1の液晶駆動電位の生成に要する消費電力を低減した上で、表示輝度のリップル、すなわちフリッカを抑制することができる。

【0203】請求項5および6に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、同一画像を長期間表示する場合においても、画素電極電位の変動に起因する焼付きの発生やコントラストの低下を防止して、表示品位の低下を抑制できる。

【0204】請求項8に記載の薄膜磁性体記憶装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、第1および第2の駆動電位供給線の各々における電位変動を抑制することができる。

【0205】請求項9に記載の液晶表示装置は、請求項1に記載の液晶表示装置が奏する効果に加えて、各画素において1ビットのデジタルデータに基づいた階調表示を実行できる。

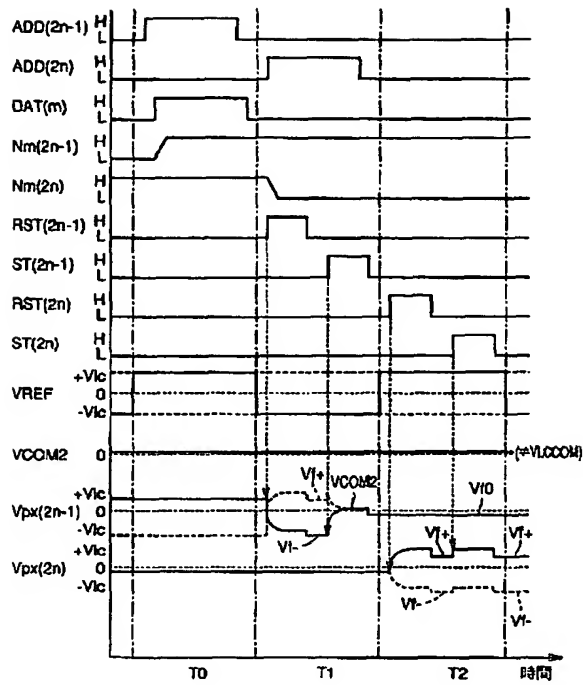
【0206】請求項10、11、12および14に記載の液晶表示装置は、データ保持ノードからのリーク電流を抑制することができる。この結果、請求項1に記載の液晶表示装置が奏する効果に加えて、同一画像を表示する場合において、画像データ信号の書込周期を拡大することによって、さらなる低消費電力化を図ることができる。

【0207】請求項13に記載の液晶表示装置は、請求項12に記載の液晶表示装置が奏する効果に加えて、各ラインごとに配置される信号線の本数を削減することができる。この結果、画素配置におけるレイアウト制約を緩和して、画素を高集積配置することができる。

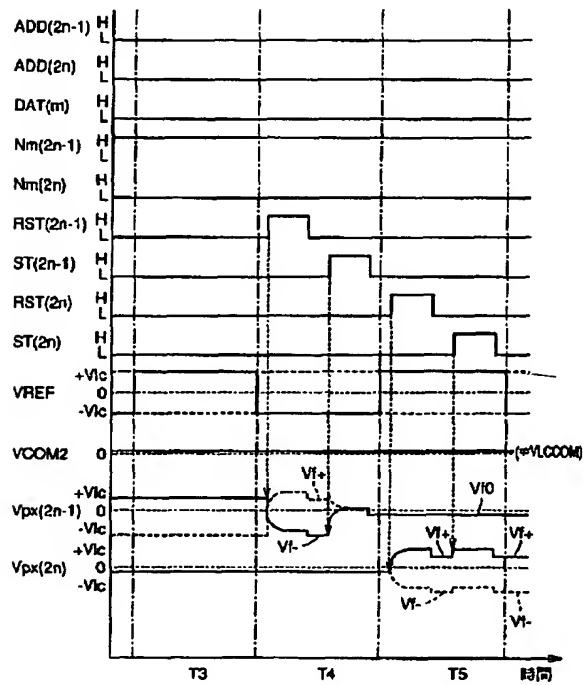
【0208】請求項15に記載の液晶表示装置は、画素電極からのリーク電流を抑制することができる。この結果、請求項1または9に記載の液晶表示装置が奏する効果に加えて、表示輝度の変動を防止して高品位表示化を図ることができる。

【０２１０】請求項１７記載の携帯情報端末機器は、各画素に対する１回の書込動作時において、一旦第１および第２の液晶駆動電位の一方によって画素電極電位が駆動された状態から、データ保持ノードの電位に応じて第１および第２の液晶駆動電位の他方によって画素電極電位を駆動することが可能な液晶表示装置によって画面表示を実行する。この結果、同一画像を長期間表示する場合においても、画素電極電位の変動に起因する焼付きの発生やコントラストの低下を防止して、表示品位を損なうことなく低消費電力化を図ることができる。

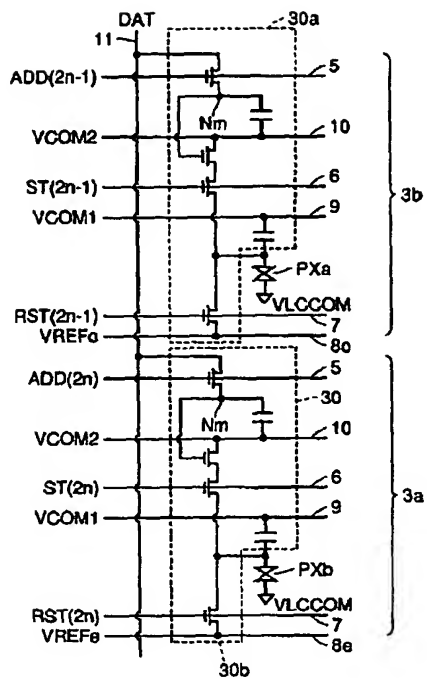
【図 2】



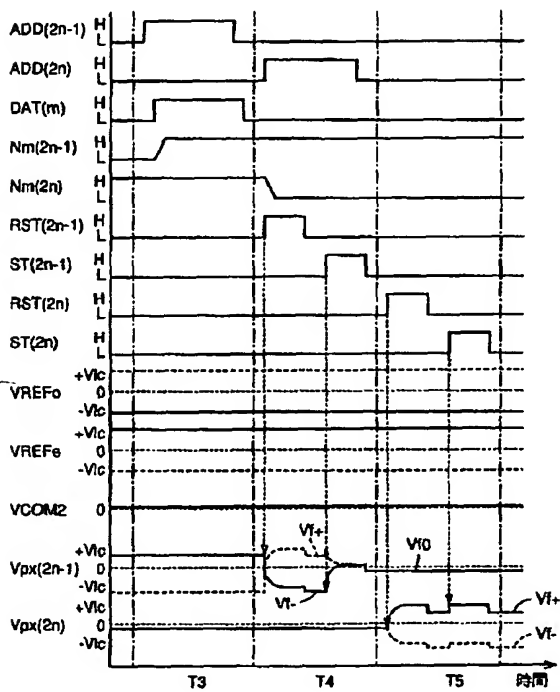
【図 5】



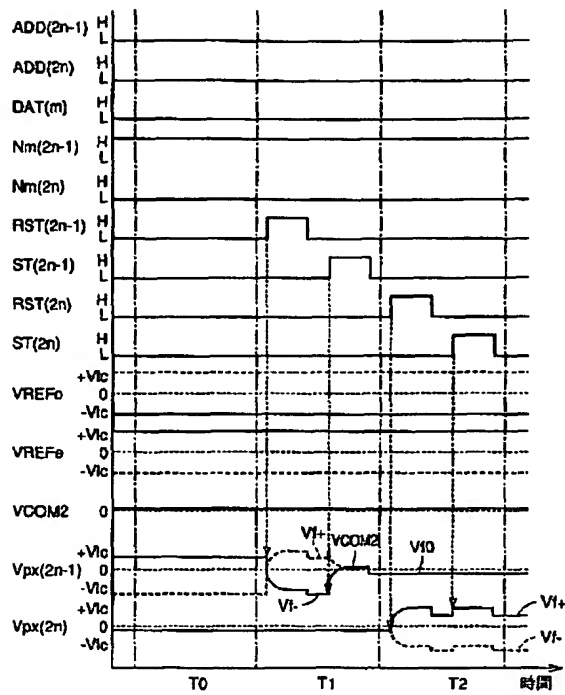
【図 6】



【図 7】

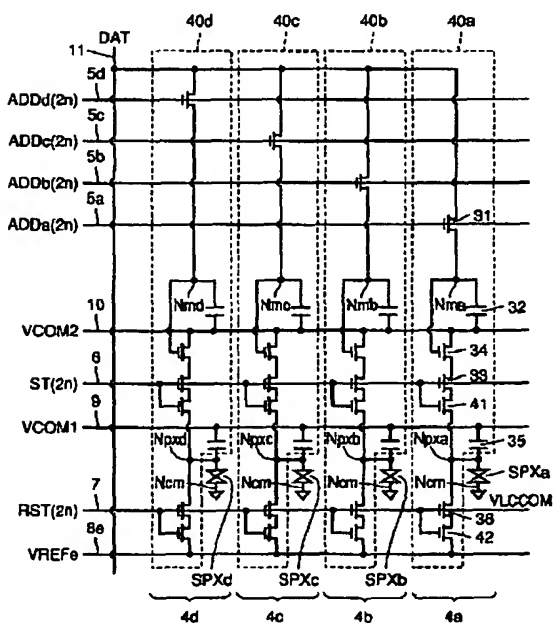


【図 8】

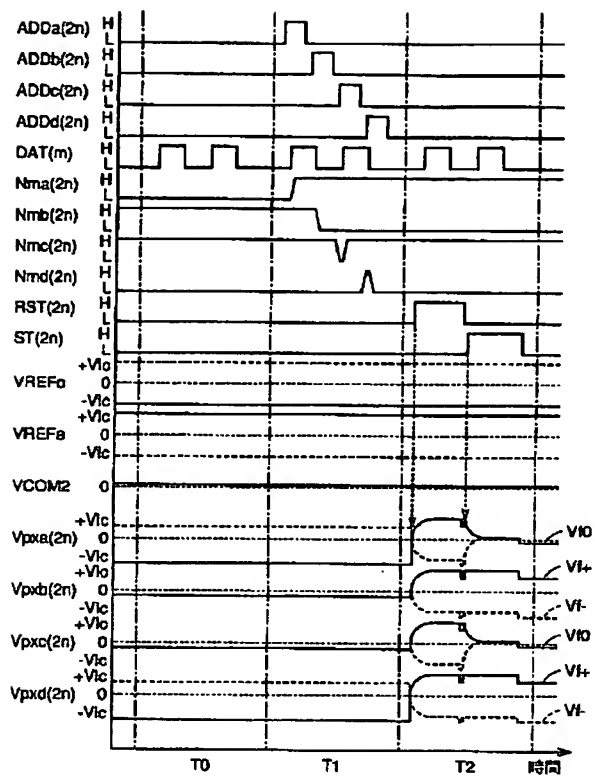


【図 9】

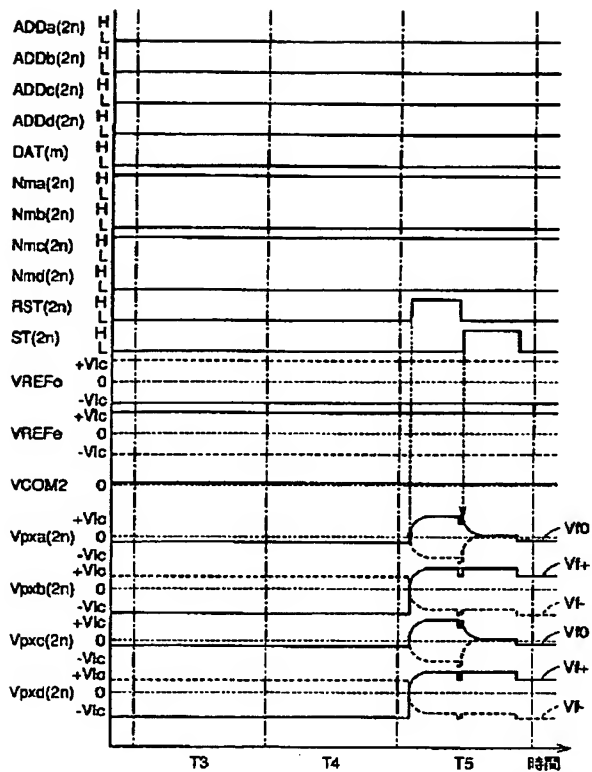
3



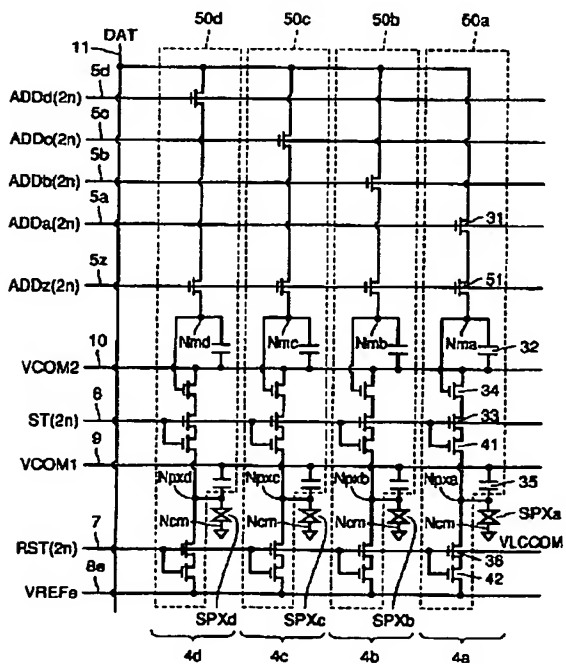
【図 10】

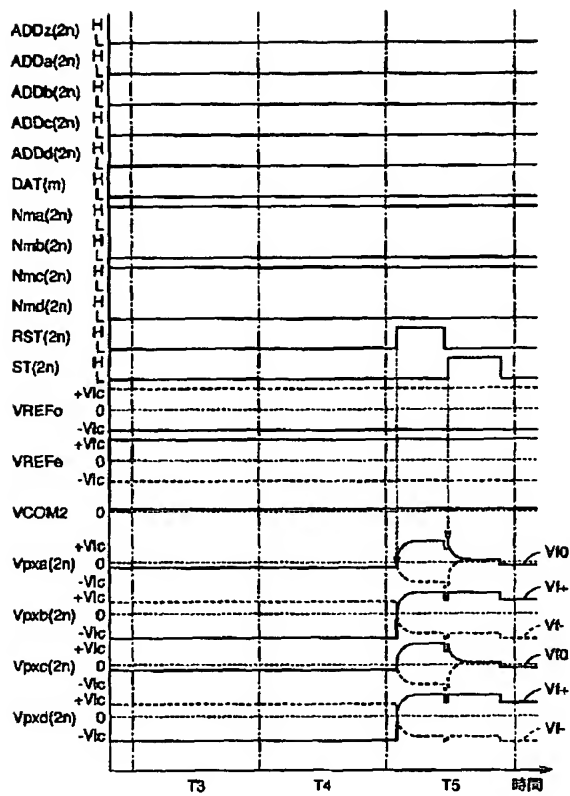


【図 1 1】

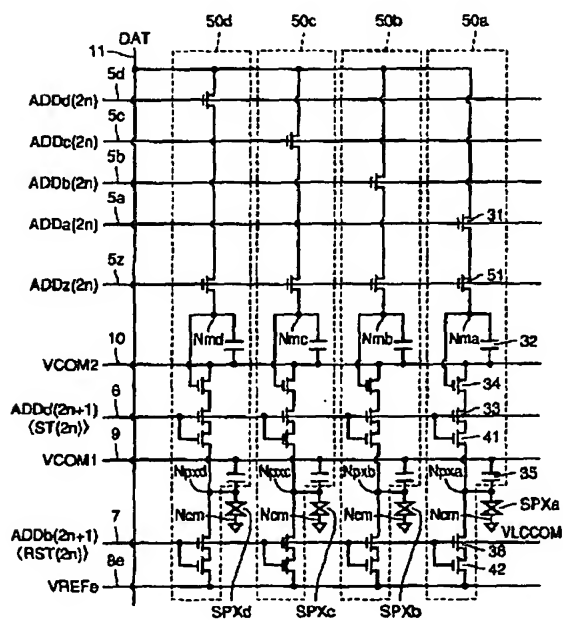


【図 1 2】

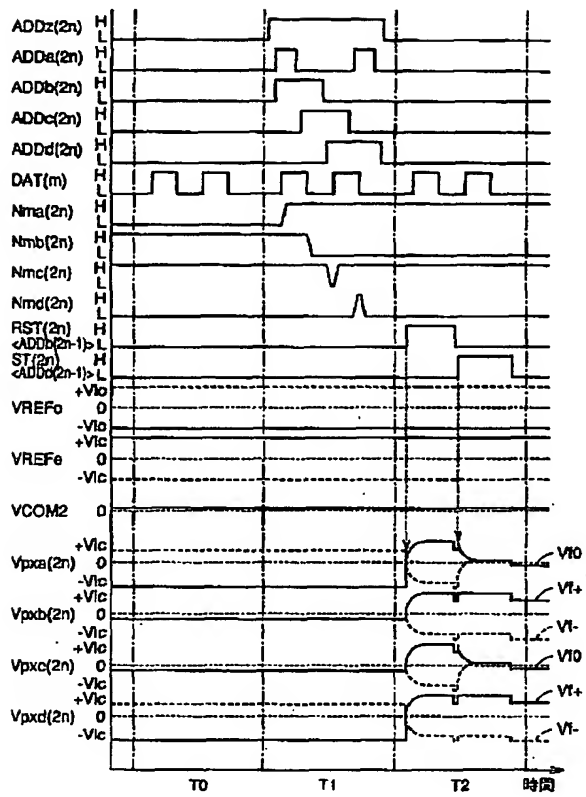




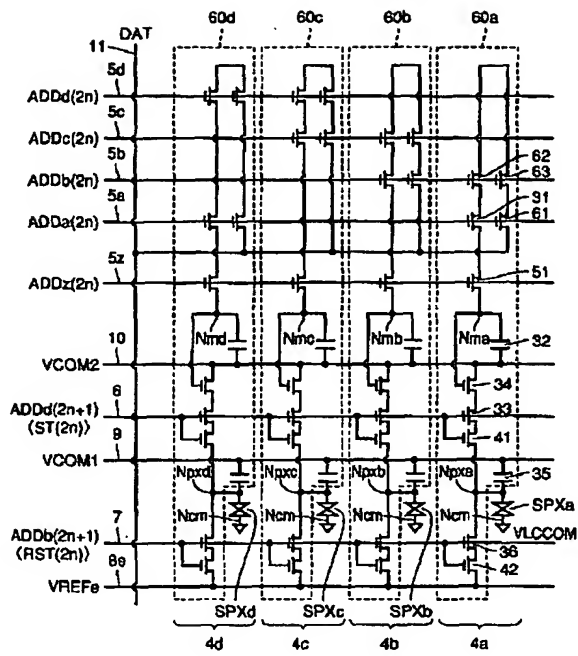
【図 15】



【図 1 6】

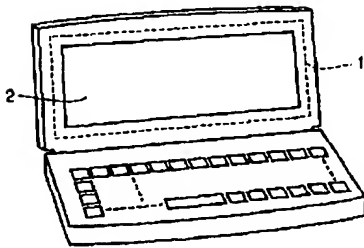


【図 1 8】



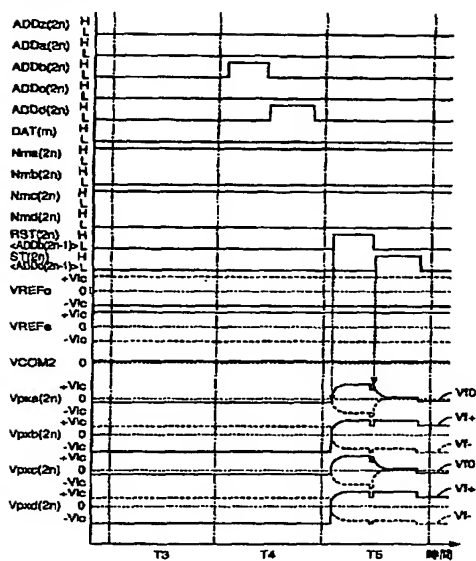
【図 20】

110



【図 22】

【図 2 1】



【図 2 3】

